

Docket No.: MUH-12653



I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By:  Date: December 3, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. :	10/620,587	Confirmation No:	8872
Applicant :	Markus Rohleder et al.		
Filed :	July 16, 2003		
Art Unit :	2818		
Examiner :	to be assigned		
Docket No. :	MUH-12653		
Customer No.:	24131		

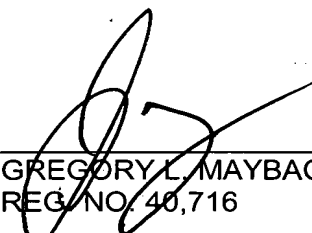
CLAIM FOR PRIORITY

Mail Stop: Missing Parts
Hon. Commissioner for Patents,
Alexandria, VA 22313-1450
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 32 178.7 filed July 16, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK
REG. NO. 40,716

Date: December 3, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb

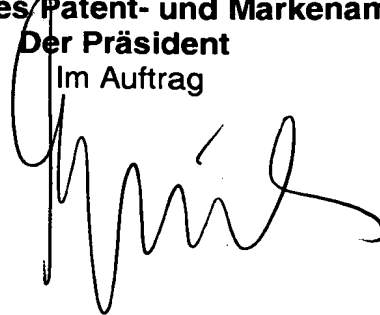


Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 32 178.7
Anmeldetag: 16. Juli 2002
Anmelder/Inhaber: Infineon Technologies AG,
München/DE
Bezeichnung: Anordnung und Verfahren zum
Überprüfen eines Adress-Generators
IPC: G 01 R, G 11 C

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 10. Juli 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag



Agurks

MÜLLER • HOFFMANN & PARTNER – PATENTANWÄLTE

European Patent Attorneys – European Trademark Attorneys

Innere Wiener Strasse 17
D-81667 München

Anwaltsakte: 12149

Ko/Ke/gr

Anmelderzeichen: 200206119
(2002 E 06110 DE)

16.07.2002

Infineon Technologies AG

St.-Martin-Straße 53
81669 München

Anordnung und Verfahren zum Überprüfen eines Adress-Generators

Anordnung und Verfahren zum Überprüfen eines Adress-Generators

Die vorliegende Erfindung betrifft eine Anordnung zum Über-
5 prüfen eines Adress-Generators nach dem Oberbegriff des Patentanspruchs 1 sowie ein Verfahren zum Überprüfen eines Adress-Generators nach dem Oberbegriff des Patentanspruchs 6.

10 Integrierte Schaltungen müssen bekanntlich sowohl während ihrer Entwicklungsphase wie auch während und nach deren Herstellvorgang auf ihre Funktion getestet werden. Solche Funktionstests können, je nach Art der zu testenden integrierten Schaltung, eine sehr lange Zeitdauer zu ihrer Durchführung benötigen. Eine große Zeitdauer bremst aber die Anzahl der
15 testbaren Schaltungen je Zeiteinheit, was sich dann auf die Produktivität des Herstellungsvorgangs auswirkt mit der Folge höherer Kosten. Man kann die Anzahl der testbaren Schaltungen je Zeiteinheit dadurch vergrößern, indem man die Anzahl der zum Durchführen der Tests verwendeten Testautomaten erhöht.
20 Allerdings vergrößert auch dies die Kosten in Form von höheren (Gesamt-) Anschaffungskosten für die Testautomaten.

Einige Arten von integrierten Schaltungen sind nun aber so aufgebaut, dass sich (zumindest theoretisch) Teile derselben
25 zeitgleich parallel zueinander testen lassen, obwohl ein solcher zeitgleicher Parallelbetrieb im Normalbetrieb für diese Schaltungen gar nicht (oder wenigstens nicht in diesem Umfang) vorgesehen ist. Solche Schaltungen sind insbesondere Mikroprozessoren (oder wenigstens Teilbereiche von Mikroprozessoren), Halbleiterspeicher und Schaltungen mit darin integrierten Speicherfeldern (sogenannte „Embedded DRAM's). Gerade auf dem Gebiet integrierter Halbleiterspeicher hat man sich schon vor vielen Jahren Gedanken darüber gemacht, wie
30 sich deren Testzeit ohne Verlust an Testtiefe verringern ließe. Beispielsweise in der EP 0 186 040 A1 wurde deshalb be-

reits vor fast 20 Jahren vorgeschlagen, integrierte Halbleiterspeicher in der Art auf ihre Funktion zu testen, dass man in einer speziellen Testbetriebsart Speicherzellen, die in verschiedenen Speicherzellenfeldern angeordnet sind, zeitgleich und parallel zueinander testet. Die Art dieser sogenannten Paralleltests wurde seither stets verfeinert:

Heute gibt es beispielsweise integrierte Halbleiterspeicher vom Typ DRAM, bei denen Werte von Adress-Signalen, die eigentlich von extern an den Halbleiterspeicher anzulegen wären (Normalbetrieb), chipintern durch einen eigenen, ggf. sogar in seiner Funktion programmierbaren, Adress-Generator erzeugt werden und die dann an die Leitungen von Adressbussen angelegt werden. Dies hat jedoch nachteilig zur Folge, dass man, bevor man einen solchen Adress-Generator zum Zwecke des Testens des Halbleiterspeichers verwendet, zunächst einmal den Adress-Generator selbst auf seine korrekte Funktion überprüfen sollte. Hier stellen sich jedoch neue Probleme ein: Man müsste über winzige Nadelspitzen, sogenannte Picoprobes, den Verlauf der auf den Leitungen des Adress-Busses befindlichen Adress-Signale ermitteln. Dies ist jedoch sehr schwierig bis unmöglich: Zum Einen ist es wegen der Schmalheit dieser Leitungen problematisch, solche Nadelspitzen genau auf den Leiterbahnen aufzusetzen. Zum Anderen kann man diese Leiterbahnen oft gar nicht erreichen, zumindest nicht ohne spezielle Analysevorgänge wie Abätzen von Schichten etc., was dann auch wiederum ein Zerstören des Halbleiterspeichers bedeutet, weil sich die Leiterbahnen unter einer Passivierungsschicht oder gar unter einer Anzahl anderer Verdrahtungsebenen befinden. Letzteres ist insbesondere bei solchen integrierten Schaltungen der Fall, die sogenannte „Embedded Memory“-Bereiche aufweisen. Dies sind bekanntlich Schaltungen, die irgendwelche, meist digitale Funktionen ausführen und die zum Ausführen dieser Funktionen auf Werte zurückgreifen müssen, die „irgendwo“ gespeichert sind (als Beispiel für solche gespeicher-

te Informationen mag die sogenannte kennfeldgesteuerte Zündung bei elektronischen Zündungen von Kraftfahrzeugen dienen, realisiert mittels integrierter Schaltkreise). Dieses „irgendwo“ ist nun heutzutage häufig auf demselben integrierten Schaltkreis realisiert wie die eigentliche Schaltung selbst, nämlich in einem eigenen Speicherbereich.

Aufgabe der vorliegenden Erfindung ist es, eine Anordnung anzugeben zum Überprüfen eines Adress-Generators sowie ein Verfahren zum Überprüfen des Adress-Generators.

Diese Aufgabe wird bei einer gattungsgemäßen Anordnung gelöst mit den kennzeichnenden Merkmalen des Patentanspruchs 1 sowie bei einem gattungsgemäßen Verfahren mit den kennzeichnenden Merkmalen des Patentanspruchs 6. Vorteilhafte Aus- und Weiterbildungen sind in Unteransprüchen gekennzeichnet.

Die Erfindung wird nachstehend anhand einer Zeichnung näher erläutert. Dabei zeigen
die Figur 1 einen Ausschnitt aus einem bekannten Halbleiterspeicher und
die Figuren 2 und 3 Ausführungsformen der erfindungsgemäßen Anordnung.

Der bekannte Halbleiterspeicher nach Figur 1 weist, wie jeder Halbleiterspeicher, einen Adressbus A0 bis A3 auf, realisiert in Form von (hier vier) Adressbus-Leitungen B0 bis B3. Weiterhin ist ein Adress-Generator AGen vorhanden mit Adress-Ausgängen A00 bis A03. Die Anzahl n der Adress-Ausgänge A00 bis A03 ist gleich der Anzahl der Adressbus-Leitungen B0 bis B03, vorliegend also vier. Die Adress-Ausgänge A00 bis A03 sind über einen Satz erster Schaltmittel ACT mit den Adressbus-Leitungen B0 bis B3 verbindbar. Somit lässt sich der Adressbus A0 bis A3 mit vom Adress-Generator AGen generierten Adress-Signalen beaufschlagen. Die ersten Schaltmittel ACT

werden mittels eines nicht näher bezeichneten Steuersignals angesteuert. Figur 1 zeigt weiterhin eine Speichervorrichtung FF mit Speicherelementen FF0 bis FF3. Auch die Anzahl der Speicherelemente FF0 bis FF3 ist gleich der Anzahl n der Adressbus-Leitungen B0 bis B3, vorliegend also gleich vier. Mittels eines externen Adress-Signals $A0_{ext}$, das serial getaktet wird, lässt sich in den Speicherelementen FF0 bis FF3 ein Adresswert speichern (dazu ist die Speichervorrichtung FF vorteilhafterweise als Schieberegister mit Flipflops ausgestaltet), der dann über einen Satz von zweiten Schaltmitteln MRS an die Adressbus-Leitungen B0 bis B3 gebbar ist. Dies kann beispielsweise dazu verwendet werden, um den Speicher in einen bestimmten Konfigurationszustand zu versetzen.

- 15 Mit dieser Anordnung lassen sich ein integrierter Halbleiterspeicher oder aber der Speicherbereich („Embedded DRAM“) einer sonstigen integrierten Schaltung auf Funktion testen. Allerdings ist dabei nicht sichergestellt, dass der Adress-Generator AGen, der in einem solchen Test die Adress-Signale für die Adressen der anzusteuernenden Speicherzellen erzeugt, auch korrekt arbeitet. Beispielsweise könnte es sein, dass der Adressgenerator AGen nicht sämtliche zur Adressierung notwendigen Adress-Signale erzeugt. Dies würde unbemerkt bleiben mit der Folge, dass fälschlicherweise nicht sämtliche Speicherzellen getestet würden.

Mit den Anordnungen nach den Figuren 2 und 3 hingegen lässt sich die Funktion eines solchen Adress-Generators AGen überprüfen und feststellen: Die Anordnung nach der Figur 2 enthält sämtliche Elemente, wie sie auch die (bekannte) Anordnung nach Figur 1 enthält und wie sie dort bereits vorgestellt worden sind. Allerdings ist die Speichervorrichtung FF, die ein Schieberegister sein kann, hier so ausgelegt, dass sich in ihr auch Adresswerte speichern lassen, die ihr von den Adressbus-Leitungen B0 bis B3 her über die zweiten

Schaltmittel MRS (parallel) zugeführt werden. Weiterhin ist sie auch so ausgelegt, dass in ihr gespeicherte Adresswerte serial über ein drittes Schaltmittel T an eine Anschlussstelle pd der integrierten Schaltung ausgebar sind. Die Verbindungsleitung zwischen der Anschlussstelle pd und der Speichervorrichtung FF kann dabei dieselbe sein, wie diejenige Leitung (vergl. dazu Figur 1), über die der Speichervorrichtung FF das externe Adress-Signal $A0_{ext}$ zuführbar ist. In diesem Fall sind diese Verbindungsleitung und die Anschlussstelle pd bidirektional betreibbar. Allerdings können diese Verbindungsleitung und die Anschlussstelle pd auch unabhängig von Leitung und Anschluss für das externe Adress-Signal $A0_{ext}$ sein (unidirektionaler Betrieb).

15 Eine Steuereinrichtung CTRL bewirkt im Testfall ein Durchschalten der zweiten Schaltmittel MRS und des dritten Schaltmittels T, so dass das erfindungsgemäße Verfahren, das in einem speziellen Testmodus der integrierten Schaltung ausgeführt wird, folgendermaßen abläuft: Im Adress-Generator AGen
20 werden Adress-Signale erzeugt und über die Adress-Ausgänge A00 bis A03 und den Satz von ersten Schaltmitteln ACT auf die Adressbus-Leitungen B0 bis B3 des Adress-Busses A0 bis A3 gegeben. Zu einem gegebenen Zeitpunkt werden die Adressbus-Leitungen B0 bis B3 des Adress-Busses A0 bis A3, gesteuert
25 durch die Steuereinrichtung CTRL, über den Satz von zweiten Schaltmitteln MRS in die Speicherelemente FF0 bis FF3 der Speichervorrichtung FF übergeben und von dieser übernommen und gespeichert. Ebenfalls gesteuert durch die Steuereinrichtung CTRL werden daran anschließend die in der Speichervorrichtung FF gespeicherten Werte über das dritte Schaltmittel
30 T nacheinander an die Anschlussstelle pd der integrierten Schaltung ausgegeben, so dass sie mit den erwarteten Sollwerten verglichen werden können.

Die Ausführungsform nach Figur 3 unterscheidet sich von der nach Figur 2 lediglich dadurch, dass die Speicherelemente FF0 bis FF3 der Speichervorrichtung FF so ausgelegt sind, dass die gespeicherten Werte parallel über einen Satz von dritten Schaltsmitteln T an einen Satz von Anschlussstellen pd0 bis pd3 der integrierten Schaltung ausgebar sind. Auch der Satz von dritten Schaltsmitteln T wird, wie das einzelne dritte Schaltsmittel T nach Figur 2, von der Steuereinrichtung CTRL gesteuert. Die Ausgabe der gespeicherten Werte an die Anschlussstellen pd0 bis pd3 erfolgt bei der Ausführungsform nach der Figur 3 also parallel.

Der große Vorteil der vorliegenden Erfindung gegenüber der bekannten Anordnung nach dem Stand der Technik liegt darin, dass fast keine zusätzlichen Elemente benötigt werden. Im Minimalfall wird lediglich ein einziges drittes Schaltsmittel T benötigt. Dazu kommen noch geringfügige Modifikationen an der Speichervorrichtung FF und an der Steuereinrichtung CTRL, um ein paralleles Übernehmen der Adresswerte vom Adressbus A0 bis A3 in die Speichervorrichtung FF zu ermöglichen. Ein notwendiges Vergrößern der Chipfläche kann minimal ausfallen wenn nicht sogar ganz entfallen (nämlich dann, wenn sich das dritte Schaltsmittel T so anordnen lässt, dass es einen bereits vorhandenen, aber schaltungs- und leitungsmässig nicht benützten Platz verwendet.

1. Anordnung zum Überprüfen eines Adress-Generators,
- wobei der Adress-Generator (AGen) Teil einer Testvorrichtung ist, die wiederum Teil einer integrierten Schaltung ist,

5 - wobei die Testvorrichtung einen Satz von ersten Schaltmitteln (ACT) und einen Satz von zweiten Schaltmitteln (MRS) aufweist,

10 - wobei der Adress-Generator (AGen) eine gegebene Anzahl (n) von Adress-Ausgängen (AO0, AO1, AO2, AO3) aufweist, die mittels des Satzes von ersten Schaltmitteln (ACT) mit Leitungen (B0, B1, B2, B3) eines Adressbusses (A0, A1, A2, A3) der integrierten Schaltung verbindbar sind zum Ausgeben von im Adress-Generator (AGen) erzeugten ersten Adresswerten auf den Adressbus (A0, A1, A2, A3) der integrierten Schaltung,
15

- wobei die Testvorrichtung eine Speichervorrichtung (FF) mit Speicherelementen (FF0, FF1, FF2, FF3) aufweist, deren Anzahl gleich der gegebenen Anzahl (n) der Adress-Ausgänge (AO0, AO1, AO2, AO3) des Adress-Generators (AGen) ist,

20 - wobei die Speichervorrichtung (FF) zur Speicherung von zweiten Adresswerten mit einem externen Adress-Signal (AO_{ext}) beaufschlagbar ist, und

25 - wobei die in der Speichervorrichtung (FF) gespeicherten zweiten Adresswerte aus den Speicherelementen (FF0, FF1, FF2, FF3) der Speichervorrichtung (FF) mittels des Satzes von zweiten Schaltmitteln (MRS) auf die Leitungen (B0, B1, B2, B3) des Adressbusses (A0, A1, A2, A3) der integrierten Schaltung ausgebar sind,

dadurch gekennzeichnet,

30 daß die Speichervorrichtung (FF) so ausgelegt ist, daß in ihr weiterhin auch Werte von auf den Leitungen (B0, B1, B2, B3) des Adressbusses (A0, A1, A2, A3) der integrierten Schaltung anliegenden Adress-Signalen speicherbar sind und daß so gespeicherte Werte von der Speichervorrichtung (FF) aus an we-

nigstens eine Anschlussstelle (pd; pd0, pd1, pd2, pd3) der integrierten Schaltung gebbar sind.

2. Anordnung nach Anspruch 1,

5 dadurch gekennzeichnet,

daß eine Steuereinrichtung (CTRL) vorgesehen ist zum Steuern des Speicherns der Werte der auf den Leitungen (B0, B1, B2, B3) des Adressbusses (A0, A1, A2, A3) der integrierten Schaltung anliegenden Adress-Signale in der Speichervorrichtung (FF).

3. Anordnung nach Anspruch 1 oder 2,

dadurch gekennzeichnet,

15 daß wenigstens ein drittes Schaltmittel (T) vorgesehen ist zur Ausgabe der in der Speichervorrichtung (FF) gespeicherten Werte der Adress-Signale an die wenigstens eine Anschlussstelle (pd; pd0, pd1, pd2, pd3).

4. Anordnung nach einem der Ansprüche 1, 2 oder 3,

20 dadurch gekennzeichnet,

daß die Speichervorrichtung (FF) so ausgelegt ist, daß die gespeicherten Werte seriell an die Anschlussstelle (pd) ausgebar sind.

5. Anordnung nach einem der Ansprüche 1, 2 oder 3,

dadurch gekennzeichnet,

25 daß die Speichervorrichtung (FF) so ausgelegt ist, daß die gespeicherten Werte parallel an die Anschlussstellen (pd0, pd1, pd2, pd3) ausgebar sind.

30 6. Verfahren zum Überprüfen eines Adress-Generators einer Testvorrichtung einer integrierten Schaltung, bei dem im Adress-Generator (AGen) Adress-Signale erzeugt werden und bei dem die Adress-Signale auf Leitungen (B0, B1,

B2, B3) eines Adressbusses (A0, A1, A2, A3) der integrierten Schaltung ausgegeben werden, dadurch gekennzeichnet, daß die Werte der auf den Leitungen (B0, B1, B2, B3) des Adressbusses (A0, A1, A2, A3) der integrierten Schaltung anliegenden Adress-Signale in eine Speichervorrichtung (FF) übernommen werden und von dieser aus an wenigstens eine Anschlussstelle (pd; pd0, pd1, pd2, pd3) der integrierten Schaltung gegeben werden.

10
7. Verfahren nach Anspruch 6, dadurch gekennzeichnet, daß die Werte seriell an die Anschlussstelle (pd) ausgegeben werden.

15
8. Verfahren nach Anspruch 6, dadurch gekennzeichnet, daß die Werte parallel an die Anschlussstellen (pd0, pd1, pd2, pd3) ausgegeben werden.

20
9. Verfahren nach einem der Ansprüche 6 bis 8, dadurch gekennzeichnet, daß es in einem speziellen Testmodus der integrierten Halbleiterschaltung durchgeführt wird.

25

Zusammenfassung

Anordnung und Verfahren zum Überprüfen eines Adress-
Generators

5

Bei einer Anordnung zum Überprüfen eines Adress-Generators (AGen) einer Testvorrichtung einer integrierten Schaltung ist eine Speichervorrichtung (FF) so ausgelegt, dass in ihr Werte von Adress-Signalen speicherbar sind, die auf Leitungen (B0 bis B3) eines Adressbusses (A0 bis A3) der integrierten Schaltung anliegen. Die gespeicherten Werte sind dann an wenigstens einer Anschlussstelle (pd; pd0, pd1, pd2, pd3) der integrierten Schaltung ausgebbbar.

15

(Figur 2)

FIG 1

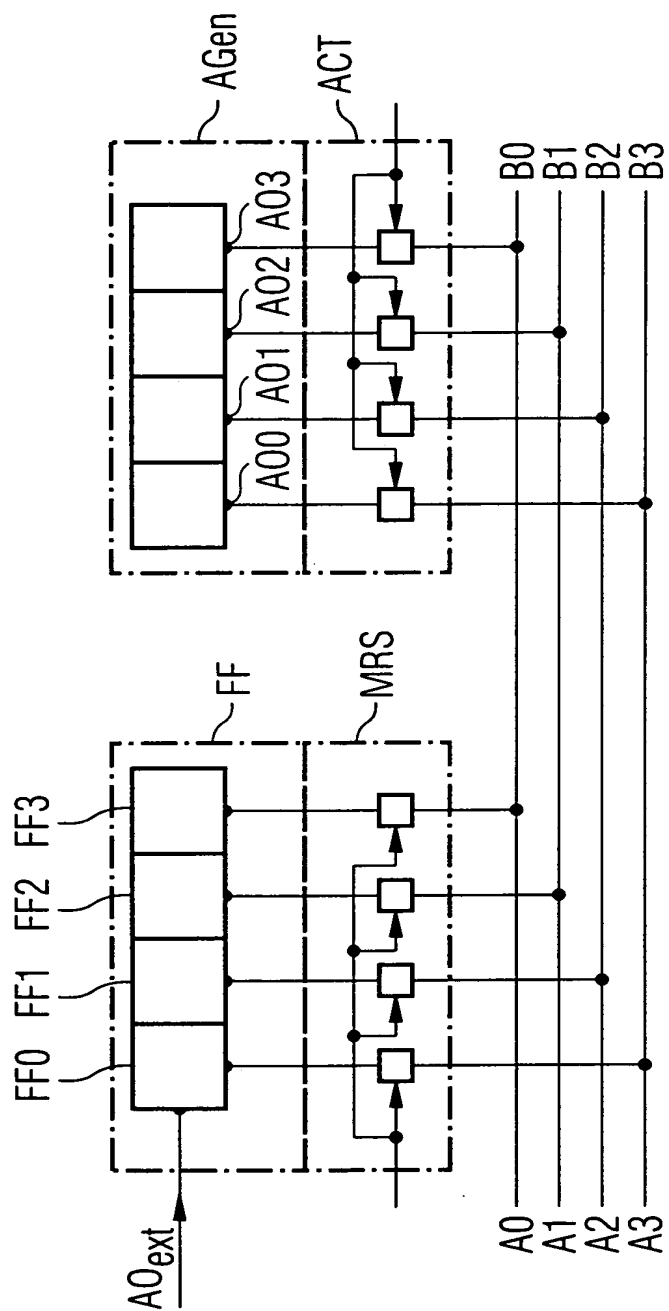
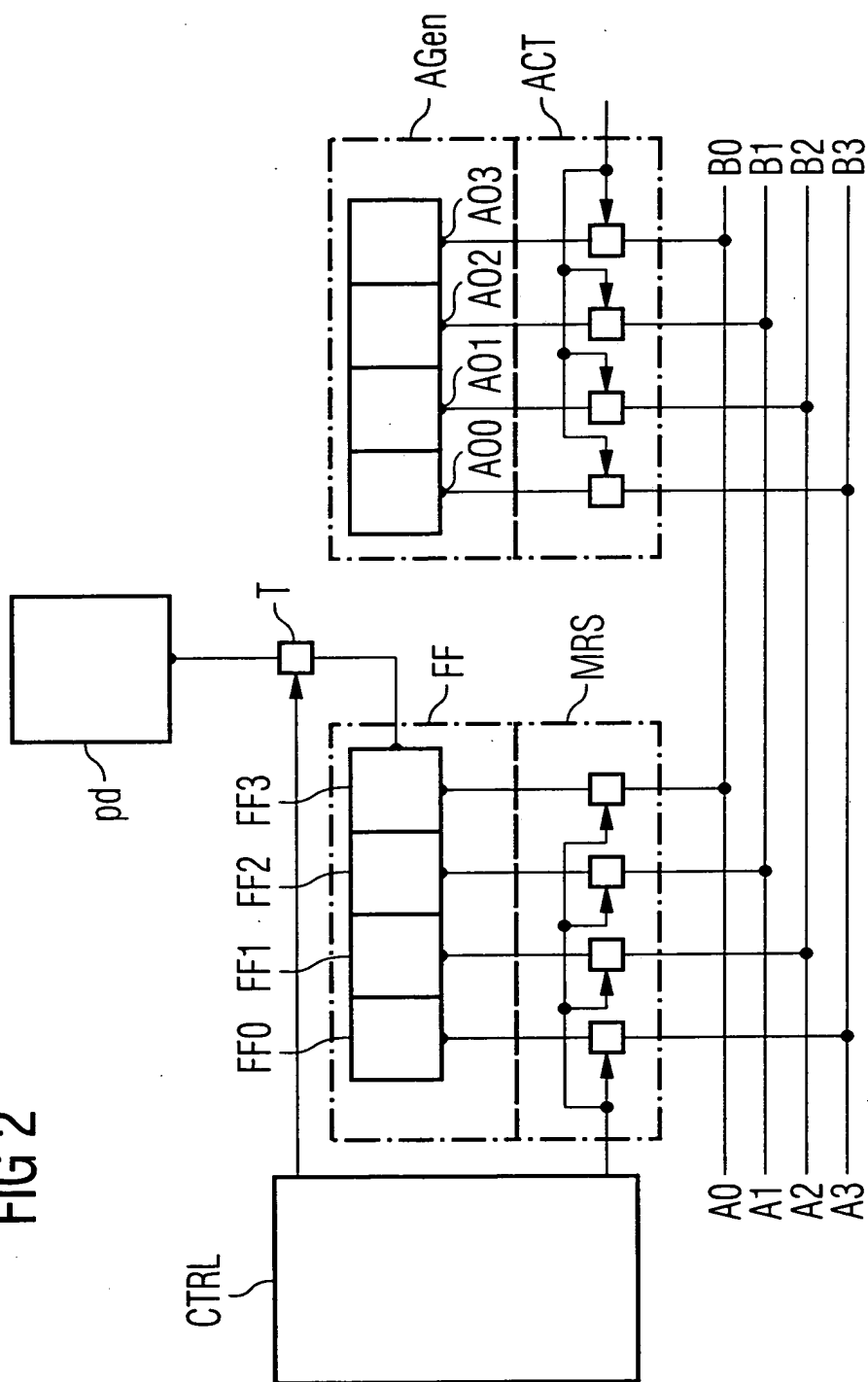
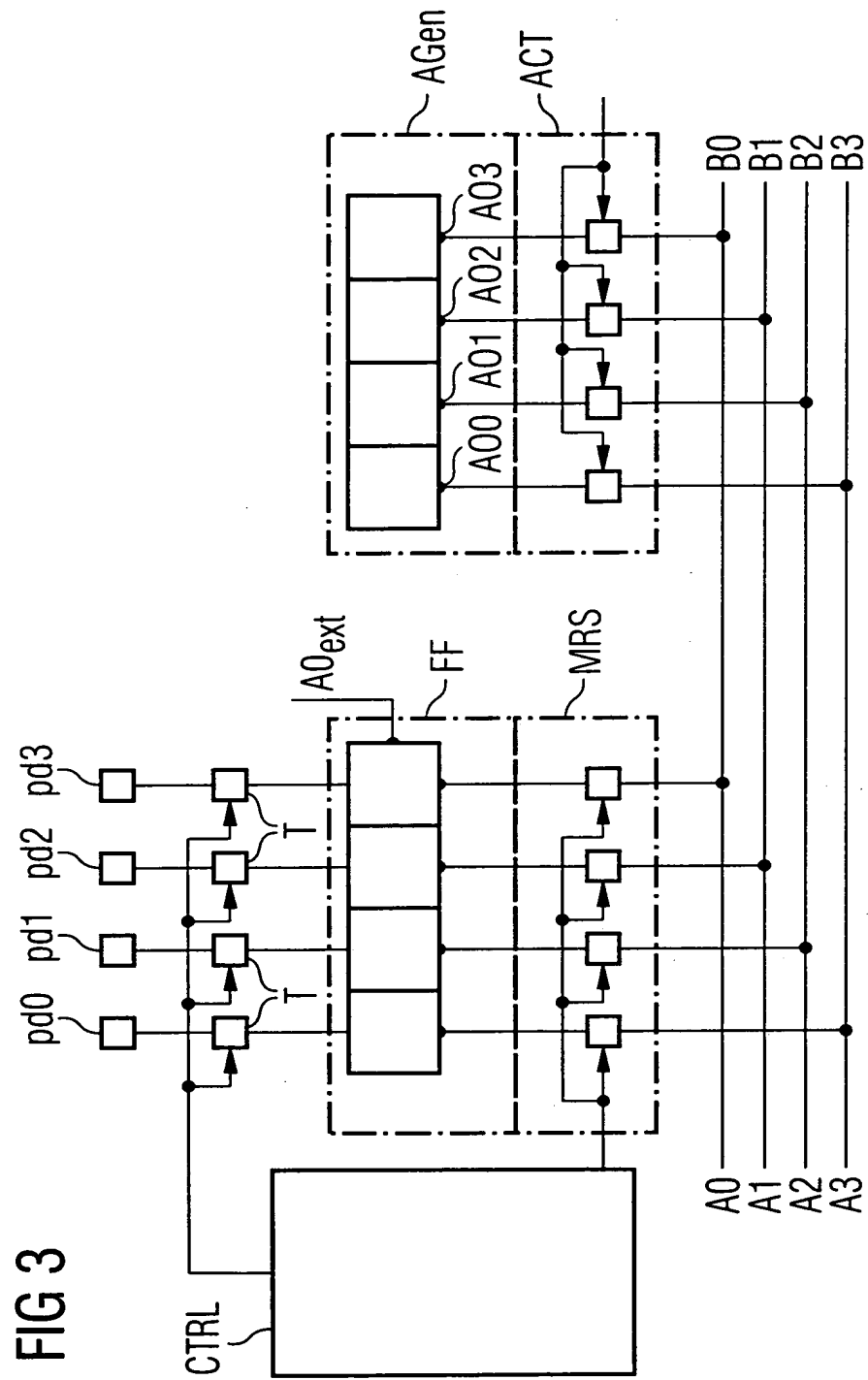


FIG 2





Figur für die Zusammenfassung

